

学術研究推進助成実績報告書(中間・完了)

平成24年11月26日

公財岡山工学振興会

代表理事 小西 忠孝 殿

(所属機関名) 岡山県立大学

(申請者名) 佐藤 洋一郎



※研究期間に応じ、報告書の中間・完了のいずれか該当のものを○で囲ってください。

研究題目	FPGAを用いた回路設計教育用教材の開発	
研究期間	平成23年6月～平成24年3月	
共同研究者	氏名	所属機関(職名)
研究題目についての研究発表	発表した学協会名と期日	発表した会誌等
	<ul style="list-style-type: none"> ・電子情報通信学会回路とシステム研究会(平成23年10月) ・電気・情報関連学会中国支部連合大会(平成23年10月) 	
研究概要	<p>今後、デジタルシステムが益々大規模化の一途を辿ることを考慮し、回路設計教育用のプラットフォームとして、Ring Segmented Bus を考案した。これは、広域非同期局所同期システム(Globally Asynchronous Locally Synchronous)を前提とした非同期バスアーキテクチャであり、リング上に配置された部分バスをダイナミックに接続して、データ転送を行うものである。そして、このバスアーキテクチャに基づくプラットフォームとして、Xilinx社製 Vertex5, 256MB DRAM, USB ポート, DVI ポート等を搭載したボードを製作し、そのボードを4台搭載した教材(右図)を開発した。</p> <p>また、この設計教育用教材を利用した設計例として、動画像を対象とした再構成型幾何学補正回路の設計と実装を行った。この回路は、レンズ歪みの補正とアダマール変換、アフィン変換、疑似アフィン変換、2次等角変換、2次射影変換機能を有しており、いずれの補正を行うかは、内蔵するレジスタの設定を変更することにより指定することが出来る。</p>	