

学術研究推進助成実績報告書 (中間・完了)

平成26年 9月12日

公財岡山工学振興会

代表理事 小西 忠孝 殿

(所属機関名) 岡山県立大学 情報工学部

(申請者名) 佐藤 洋一郎



※研究期間に応じ、報告書の中間・完了のいずれか該当のものを○で囲ってください。

研究題目	FPGA を用いた回路設計教育用教材の開発	
研究期間	平成25年4月～平成26年3月	
共同研究者	氏 名	所属機関 (職名)
研究題目についての研究発表	発表した学協会名と期日	発表した会誌等
		[1] 電子情報通信学会論文誌 (D), J96-D 巻, 4号, pp.913-925 (2013.4) [2] 電気学会論文誌 C, 134 巻, 2号, pp.312-319 (2014.2) [3] 生体医工学会論文誌, 51 巻, 6号, pp.366-373 (2014.2)
研究概要	<p>回路設計教育用のプラットフォームとして、広域非同期局所同期システム (Globally Asynchronous Locally Synchronous) を前提とした非同期バスアーキテクチャ Ring Segmented Bus を考案した [1]。これは、リング上に配置された部分バスをダイナミックに接続して、データ転送を行うものである。そして、このプラットフォームを、Xilinx 社製 Vertex5, 256MB DRAM, USB ポート, DVI ポート等を搭載したボードを製作し、そのボードを4台搭載した教材を開発した。</p> <p>申請者は、心臓ペースメーカーのクロックレス化を行うことによる、制御回路の低消費電力化手法を開発した [2]。上記ボードを利用して、従来手法である、同期式回路として制御回路を設計・実装し、比較を行うことにより、提案手法の有効性を明らかにした。</p> <p>また、このプラットフォームを利用して実装するシステムの速度に関する性能評価を高速化するための手法を開発した [2]。この手法では、性能評価に用いる行列のオーダリングを行うものであり、オーダリングを行わないばあに比して、95%以上の高速化を達成することができる。</p>	